

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-055673

(43)Date of publication of application : 10.03.1988

(51)Int.Cl.

G06F 15/66
H04N 1/32
H04N 5/208

(21)Application number : 61-201075

(71)Applicant : MINOLTA CAMERA CO LTD

(22)Date of filing : 27.08.1986

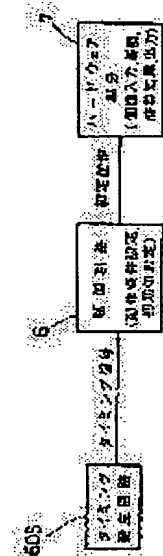
(72)Inventor : MASAKI YASUO

(54) CONTROL SYSTEM FOR IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To shorten the overall image processing time by using a prescribed timing signal to know idle time and setting the working conditions and the initial value within a period of said idle time.

CONSTITUTION: A timing generating circuit 605 forms a scanning period of image data equivalent to a single screen and produces a timing signal that designates a handling period of the image data in a single period. A control circuit 6 uses said timing signal to know an idle period excluding the image data handling period within a single period. Thus the working conditions and the initial value are set within said idle period corresponding to a hardware part 7 for the following image data handling period.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-55673

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)3月10日

G 06 F 15/56
H 04 N 1/32
5/208

8419-5B
Z-6940-5C
7170-5C

審査請求 未請求 発明の数 1 (全15頁)

⑭ 発明の名称 画像処理装置の制御方式

⑮ 特 願 昭61-201075

⑯ 出 願 昭61(1986)8月27日

⑰ 発 明 者 政 木 康 生 大阪府大阪市東区安土町2丁目30番地 大阪国際ビル ミ
ノルタカメラ株式会社内

⑱ 出 願 人 ミノルタカメラ株式会社 大阪府大阪市東区安土町2丁目30番地 大阪国際ビル
社

⑲ 代 理 人 弁理士 倉田 政彦

明 細 書

1. 発明の名称

画像処理装置の制御方式

2. 特許請求の範囲

(1)少なくとも画像の入力、蓄積、演算処理、出力の1つを行う回路より構成されるハードウェア部分と、ハードウェア部分の動作条件設定や初期値設定のような設定動作を行う制御回路と、1画面分の画像データの走査の周期を形成し、その1周期内におけるハードウェア部分での画像データ取り扱い期間を指定するタイミング信号を発生するタイミング発生回路とから構成され、制御回路が1周期内におけるハードウェア部分での画像データ取り扱い期間以外の空き期間を利用して続く画像データ取り扱い期間におけるハードウェア部分のあるべき状態を設定するように設定動作を行うことを特徴とする画像処理装置の制御方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、原画像データに対して演算処理を施

し、階調補正や画像鮮鋭化などの画像データ交換処理や原画像データからの特徴抽出などの処理を実現するための画像処理装置の制御方式に関するものである。

(従来の技術)

第10図は従来のデジタル画像処理装置の一例を示すブロック図である。図中、(1)はホストCPU、(2)は画像入力回路、(3)は画像メモリ、(4)は演算処理回路、(5)は画像出力回路、(L₁)はホストCPUバス、(L₂)は画像データバスである。(2)~(5)の各回路は必要に応じて複数個存在する場合がある。この画像処理装置には、画像データ入力、画像データ処理、及び、画像データ出力という3つの基本状態がある。

①画像データ入力は、画像入力回路(2)から画像データバス(L₂)を介して画像メモリ(3)に対して画像データを書き込むことにより行なわれる。

②画像データ処理は、画像メモリ(3)から読み出された画像データが画像データバス(L₂)を介して演算処理回路(4)に入力され、演算処理を施さ

れ、その処理結果のデータが再び画像データバス(2₁)を介して画像メモリ(3)に書き込まれることにより完結する。

④画像データ出力は、画像メモリ(3)から読み出された画像データが画像データバス(2₁)を介して画像出力回路(5)に与えられ、外部の画像表示機器や画像記録機器などに出力されることにより行なわれる。

以上の各状態に応じて、画像入力回路(2)、画像メモリ(3)、演算処理回路(4)、画像出力回路(5)の各回路は、それぞれ画像データバス(2₁)に対する入出力関係、各回路内部の動作状態が所定の状態に設定されなければならない。すなわち、目的とする画像処理機能を実現するためにはハードウェア部分に含まれるこれらの回路を所定の動作状態に設定する必要がある。異なる画像処理機能を次々と実行させるためには動作状態の設定を次々と更新して行かなければならない。

第10図の従来例では、このような状態設定動作は、被制御側ハードウェアの条件設定部分をホ

ストCPUの処理要求に従いマイクロプログラムを読み出せば必要なハードウェア制御が行なわれ、所定の画像処理機能を実現されるという考え方がある。第11図(a)はこの考え方によるデジタル画像処理装置の他の従来例のブロック図であり、ホストCPUバス(2₁)と被制御ハードウェア(2)～(5)の間に制御回路(6)が配置されている。ホストCPU(1)からの制御要求を解釈して制御回路(6)から被制御ハードウェア(2)～(5)に対して各々の回路に対応した制御信号が与えられている。

第11図(b)に第11図(a)における制御回路(6)の内部構成を示す。図中(601)はコマンドデコード、(602)はマイクロプログラムメモリ読み出し制御回路、(603)はマイクロプログラムメモリ、(604)はマイクロプログラムデコードである。ホストCPU(1)は、制御すべきハードウェアの各々の回路に対する制御動作をせず、コマンドデコード(601)に対して処理内容に応じたコードを与える。コマンドデコード(601)

ストCPU(1)のI/O領域に割り当て、ホストCPU(1)がソフトウェア処理の中で実行している。この場合、目的とする画像処理のアルゴリズムに従った処理の流れの制御からハードウェアの細部の条件設定に至るまで従来の制御がホストCPU(1)のソフトウェア処理に依存することになり、ホストCPU(1)の画像処理ソフトウェア全体に占めるハードウェア制御部分が多くなり、ソフトウェアが大きくなる、ソフトウェアのハードウェア依存度が高くなる、といった問題があり、かつハードウェアの制御の際にプログラムのフェッチが必要なためハードウェアの高速な制御を実現しにくいという欠点もある。

このような理由から従来よりデジタル画像処理装置ではソフトウェア処理を担うホストCPUと実際の画像処理を実現するハードウェア部分の間に、ハードウェア部分の制御を行なう制御回路を設け、制御回路内においてハードウェア部分各部の制御情報をマイクロプログラム化し、マイクロプログラムメモリにマイクロプログラムを格納

は、与えられたコードをデコードし、デコード内容に従ってマイクロプログラムメモリ読み出し制御回路(602)を動作させる。マイクロプログラムメモリ読み出し制御回路(602)の動作状態は、停止状態とマイクロプログラムメモリ(603)の読み出しのためのアドレス発生状態とがあるが、コマンドデコード(601)から与えられるコマンドの内容は、基本的に両状態間の状態変化の要求である。つまり、マイクロプログラムメモリ(603)の読み出し開始要求と、読み出し停止要求である。

マイクロプログラムメモリ(603)は、マイクロプログラムメモリ読み出し制御回路(602)の制御を受け、読み出しアドレス、読み出し許可信号などを与えられて、マイクロプログラムを読み出し、読み出されたマイクロプログラムは、マイクロプログラムデコード(604)に与えられる。マイクロプログラムデコード(604)では与えられたマイクロプログラムをデコードし、被制御回路にとって必要な形の制御信号を作る。

この制御方式によれば、ホストCPU(1)のソフトウェアに含まれるハードウェア制御のための部分が大幅に減少し、かつ、ソフトウェアのハードウェア依存度も低下する。またハードウェアの高速制御も可能になる。

(発明が解決しようとする問題点)

以上のように、従来よりマイクロプログラム方式のデジタル画像処理装置の制御方式が考えられていたが、画像メモリからの画素単位や画面単位の画像データの読み出し周期などの被制御ハードウェア部分の動作タイミングと、マイクロプログラムメモリからのマイクロプログラムの読み出しやマイクロプログラムデコーダによるマイクロプログラムのデコードなどの制御動作のタイミングとの間で同期をとるという考え方がなかったために、ハードウェア部分の制御のための無駄時間が発生するという問題があった。

例えば、画像メモリのアクセスが一定周期のラスタスキャン方式であって、その周期に他のハードウェア部分の全てが、依存して動作するような

の1周期内におけるハードウェア部分(7)での画像データ取り扱い期間を指定するタイミング信号を発生するタイミング発生回路(605)とから構成され、制御回路(6)が1周期内におけるハードウェア部分(7)での画像データ取り扱い期間以外の空き期間を利用して続く画像データ取り扱い期間におけるハードウェア部分(7)のあるべき状態を設定するように設定動作を行うことを特徴とするものである。

(作用)

本発明にあっては、ハードウェア部分(7)によって画像の入力や、蓄積、演算処理、出力等の画像データの取り扱いを行う。このハードウェア部分(7)は1画面分の画像データの走査の周期(フレーム)を1単位とする基本処理を組み合わせて複雑な機能を実現させるものであり、1フレーム毎に動作条件や初期値の設定を更新する必要がある。ハードウェア部分(7)における動作条件の設定や初期値の設定は、制御回路(6)により行なわれる。タイミング発生回路(605)は、1画面分の画像

システムでは、制御動作のタイミングとラスタスキャンの周期との間で何ら同期がとられていないと、たとえ制御に必要な時間がわずかであっても、制御のためにだけ、ラスタスキャンの1周期乃至2周期の時間が必要になっていた。

本発明は、このような点に鑑みてなされたものであり、その目的とするところは、被制御ハードウェアにおいて画像データが扱われない期間に被制御ハードウェアに対して動作条件設定や初期値設定を行うことにより無駄時間を生じさせることなく設定動作を行い得るようにした画像処理装置の制御方式を提供するにある。

(問題点を解決するための手段)

本発明に係る画像処理装置の制御方式にあっては、第1図(a)(b)に示すように、少なくとも画像の入力、蓄積、演算処理、出力の1つを行う回路より構成されるハードウェア部分(7)と、ハードウェア部分(7)の動作条件設定や初期値設定のような設定動作を行う制御回路(6)と、1画面分の画像データの走査の周期(フレーム)を形成し、そ

データの走査の周期(フレーム)を形成し、その1周期内におけるハードウェア部分(7)での画像データ取り扱い期間を指定するタイミング信号(例えば第1図(b)の(i))を発生し、制御回路(6)はこのタイミング信号によって、1周期内におけるハードウェア部分(7)での画像データ取り扱い期間以外の空き期間を知り、この空き期間を利用して続く画像データ取り扱い期間におけるハードウェア部分(7)のあるべき状態を設定するように設定動作を行うものである。

尚、制御回路(6)はハードウェア部分(7)における画像データ取り扱い期間以外の空き期間の発生を検知した時点で設定動作を開始すれば良いから、突然にはハードウェア部分(7)における画像データ取り扱い期間の終了時点、つまり、1フレームの終了時点を知れば良い。そこで、以下に述べる実施例においては、1フレームの終了時点を示すタイミング信号(i)を用いて制御回路(6)の設定動作の開始時点を決定している。

(実施例)

以下、本発明の実施例について説明する。

(i) 全体構成

第2図(a)は、本発明の一実施例に係るデジタル画像処理装置のブロック図である。図中、(1)～(6)及び(ℓ_1)、(ℓ_2)は第10図、第11図(a)について説明したものと同一である。 (ℓ_2) がマイクロプログラム読み出し専用のバスである。第2図(b)に本実施例による制御回路(6)の構成を示す。本実施例によれば制御回路(6)の内部には、第11図(b)に示す被制御ハードウェア全体に対するマイクロプログラムデコーダ(604)が含まれておらず、マイクロプログラムメモリ(603)から読み出されるマイクロプログラムがマイクロプログラム読み出し専用バス(ℓ_2)にそのまま出力される。また、第2図(c)に本実施例による被制御ハードウェア側の内部構成を示す。被制御ハードウェア(2)～(5)の各回路は、マイクロプログラム読み出し専用バス(ℓ_2)によって制御回路(6)と接続されており、デコードされていない生のマイクロプログラムを与えられることになる。各被

プログラムメモリ、(605)はタイミング発生回路、(610)～(617)はマイクロプログラム読み出し制御回路(602)を構成する回路群、(618)はホストCPUバス(ℓ_1)のデータライン(ℓ_{11})とマイクロプログラム読み出し制御回路(602)及びマイクロプログラムメモリ(603)とをインターフェースするためのバストランシーバ、(619)はホストCPUバス(ℓ_1)のアドレスライン及びストローブ信号ライン(ℓ_{12})とマイクロプログラム読み出し制御回路(602)及びコマンドデコーダ(601)とをインターフェースするためのバスバッファ、(620)はマイクロプログラムメモリ(603)からの読み出しデータ(マイクロプログラム)をマイクロプログラム読み出し専用バス(ℓ_2)へ出力するためのバスバッファである。

マイクロプログラム読み出し制御回路(602)を構成する回路群(610)～(617)の内、(610)はマイクロプログラムメモリ読み出しアドレス発生回路、(611)はカウント許可信号発生回路、(612)はマイクロ命令デコーダ、(61

制御ハードウェア部分(7)に与えられたマイクロプログラムはマイクロプログラムデコーダ(701)にて、自らの回路に対して有効なもののみデコードされ、制御信号が作られ、各回路内の被制御回路部分(702)において必要とされる条件設定がなされる。

本実施例によれば、被制御ハードウェア部分(7)において回路変更をしたり、新しい回路を追加しても、制御回路(6)における回路変更や回路追加の必要が全くなく、マイクロプログラム読み出し専用バス(ℓ_2)の変更の必要もなく(従来では専用バス化されていなかった)、単に、変更のあった側の回路にてマイクロプログラムデコーダ(701)及びデコーダとハードウェアの接続線を変更内容に対応させればよいだけである。

(ii) 制御回路の構成

第3図は、本実施例における制御回路(6)の詳細な構成を示すブロック図である。図中(601)はコマンドデコーダ、(602)はマイクロプログラム読み出し制御回路、(603)はマイクロプロ

3)はロードパルス発生回路、(614)は読み出し終了フラグ、(615)はフレームカウンタ、(616)はフラグレジスタ、(617)は読み出し終了フラグ(614)の状態をバストランシーバ(618)を介してホストCPUバス(ℓ_1)へ出力するためのバスバッファである。

コマンドデコーダ(601)のデコード出力信号は、(hc_1)～(hc_7)の7本であって、(hc_1)はRUNコマンドを、(hc_2)はSSAコマンド(Set Start Address コマンド)を、(hc_3)はENDコマンドを、(hc_4)はSFCコマンド(Set Frame Counter コマンド)を、(hc_5)はSFRコマンド(Set Flag Register コマンド)を、(hc_6)はREFコマンド(Reset End Flag コマンド)を、(hc_7)はRD,EPコマンド(Read, End Flag コマンド)をそれぞれデコードした際に出力される信号である。

マイクロ命令デコーダ(612)のデコード出力信号は(m_1)～(m_{10})の10本であって、(m_1)はEOPR命令(End Of Frame 命令)を、(m_2)は

EXIT命令を、 (a_3) はS.R.A.R命令(Set, Return Address Register 命令)を、 (a_4) はRET命令を、 (a_5) はJUMP命令を、 (a_6) はJ.P.C.Z命令(Jump Condition, Zero 命令)を、 (a_7) はJ.P.C.F命令(Jump Condition, Flag 命令)を、 (a_8) はDOWN.F.C命令(DOWN, Frame Counter 命令)を、 (a_9) はS.F.R.C命令(Set, Frame Counter 命令)を、 (a_{10}) はR.F.L.G命令(Reset FLAG 命令)を、それぞれデコードした際に出力される信号である。

各コマンド及び命令の詳細い内容については後述するが、“コマンド”はホストCPU(1)が制御回路(6)に与える指令(ホストコマンド)を意味し、“命令”はマイクロプログラムのうち制御回路(6)に与えられる指令(マイクロ命令)を意味する。

また図中、 $(\ell_{1,2})$ はホストCPUバス (ℓ_1) に含まれるイニシャルリセット信号の信号ライン、 $(\ell_{1,3})$ は制御回路(6)内部におけるホストCPUデータバス、 $(\ell_{1,4})$ は制御回路(6)内部におけるホストCPUアドレスバス、 $(\ell_{1,5})$ はマイクロプロ

グラムメモリ読み出しアドレス発生回路(610)が出力するマイクロプログラム読み出しアドレスの信号ラインである。 $(\ell_{2,1})$ 、 $(\ell_{2,2})$ はマイクロプログラムメモリ(603)の読み出しデータの信号ラインであり、両者でマイクロ命令を構成しており、 $(\ell_{2,1})$ がマイクロ命令のアドレス部、 $(\ell_{2,2})$ がマイクロ命令のデータ部の信号ラインである。 $(\ell_{3,1})$ はフレームカウンタ(615)のカウント値がゼロになった際に出力される信号、 $(\ell_{3,2})$ はフラグレジスタ(616)がセット状態になった際に出力される信号、 $(\ell_{3,3})$ はカウント許可信号発生回路(611)がマイクロプログラムメモリ読み出しアドレス発生回路(610)に与えるカウント許可信号、 $(\ell_{3,4})$ はカウント許可信号発生回路(611)がマイクロプログラムメモリ読み出しアドレス発生回路(610)に与えるアドレス選択信号、 $(\ell_{3,5})$ はロードパルス発生回路(613)がマイクロプログラムメモリ読み出しアドレス発生回路(610)に与えるロードパルス信号の信号ラインである。

尚、以下の説明においては、便宜上、信号ライ

ン $(\ell_{1,2}) \sim (\ell_{1,5})$ 上の信号やデータそのものを、信号 $(\ell_{1,2})$ 、データ $(\ell_{1,4})$ 等と称することがある。同様に、コマンドデコーダ(601)のデコード出力信号 $(hc_1) \sim (hc_7)$ をホストコマンド $(hc_1) \sim (hc_7)$ と称したり、マイクロ命令デコーダ(612)のデコード出力信号 $(m_1) \sim (m_{10})$ をマイクロ命令 $(m_1) \sim (m_{10})$ と称することがある。

(t_1) 、 (t_2) 、 (t_3) はタイミング発生回路(605)が発生するタイミング信号であって、 (t_1) は制御回路(6)の単位動作の基本周期を形成するクロックパルス、 (t_2) は一面面の走査周期の終了を示すタイミング信号、 (t_3) は (t_1) の半分の周期のタイミング信号である。

第4図は、マイクロプログラムメモリ(603)の内容の一例を示している。マイクロプログラムメモリ(603)には複数のマイクロプログラムが常駐することが可能で、各マイクロプログラムはマイクロプログラムメモリ(603)上の各マイクロプログラムの先頭アドレスによって区別される。各マイクロ命令はアドレス部とデータ部により構

成されている。アドレス部はマイクロプログラム読み出し専用バス (ℓ_2) に接続された被制御ハードウェア(2)～(5)の各々の回路を区別し、さらに各回路内における条件設定部分各部を指定したり、各回路内での所定の動作を実行させる。データ部のデータはアドレス部で指定される条件設定部分へ与えるべきデータまたはアドレス部で指定される動作において利用されるデータとなる。アドレス部は、マイクロプログラム読み出し専用バス (ℓ_2) に接続されている被制御ハードウェア(2)～(5)を指定する他、制御回路(6)自身をも指定することができる。つまり、マイクロプログラムメモリ(603)から読み出されるマイクロ命令はバスバッファ(620)を介してマイクロプログラム読み出し専用バス (ℓ_2) に出力されるだけでなく、制御回路(6)内部へも出力され、利用される。

制御回路(6)の内部へ出力されるマイクロ命令のアドレス部は信号ライン $(\ell_{2,1})$ を介してマイクロ命令デコーダ(612)に与えられ、制御回路(6)に対するマイクロ命令がデコードされて、その

デコード出力信号(a_1)~(a_{10})が制御回路(6)内部の各部分に与えられる。また、データ部は信号ライン(d_{10})を介してマイクロプログラムメモリ読み出しアドレス発生回路(610)やフレームカウンタ(615)に与えられる。マイクロプログラムメモリ(603)からのマイクロプログラムの読み出しはホストCPU(1)が制御回路(6)に対してSSAコマンド(スタートアドレスを設定するためのホストコマンド)と共に目的とするマイクロプログラムのマイクロプログラムメモリ(603)上での先頭アドレスを与え、その後RUNコマンドを与えることによって起動される(詳しくは後述)。ホストCPU(1)はSSAコマンド或はRUNコマンドを与える前に、マイクロプログラムメモリ(603)の内容を予め書き替えておく事が可能で、これによってマイクロ命令のデータ部を必要に応じて設定し直すことができるので、既存のマイクロプログラムを、目的とする処理に細かく対応させることが可能である。

次に、マイクロプログラム読み出し制御回路(6

02)の要部回路であるマイクロプログラムメモリ読み出しアドレス発生回路(610)と、カウント許可信号発生回路(611)、及び、ロードパルス発生回路(613)の詳細な構成について説明する。

(ⅱ)マイクロプログラムメモリ読み出しアドレス発生回路(610)の構成

第5図はマイクロプログラムメモリ読み出しアドレス発生回路(610)の詳細な構成を示すブロック図である。図中、(630)はタイミング発生回路(605)が発生するタイミング信号(t_1)でカウントアップされ、カウント許可信号発生回路(611)が発生するカウント許可信号(l_{10})が有効な期間のみ動作するアドレスカウンタである。(631)はアドレスカウンタ(630)に与える3系統のスタートアドレスを選択するセレクトで、カウント許可信号(l_{10})が有効で且つロードパルス発生回路(613)が発生するロードパルス(l_{13})の入力中にタイミング信号(t_1)が入力されると、セレクト(631)が選択しているスタートアドレ

スがアドレスカウンタ(630)に設定される。(632)はSSAコマンド(h_{02})によってホストCPU(1)から与えられるデータ(d_{10})がスタートアドレスとして設定されるスタートアドレスレジスタである。(633)はS.R.A.R命令(a_2)によって与えられるRET命令(マイクロプログラムのサブルーチン部分からメインルーチンへのリターン命令(詳しくは後述))が利用するためのリターンアドレス値を設定するリターンアドレスレジスタであり、セレクト(631)に入力される3系統のスタートアドレスは、上記スタートアドレスレジスタ(632)の内容、リターンアドレスレジスタ(633)の内容及びマイクロ命令のデータ部(d_{10})である。

セレクト(631)に入力されるマイクロ命令のデータ部(d_{10})は、読み出し中のマイクロプログラムに対する読み出しアドレスをマイクロプログラムメモリ(603)上の目的とする位置にジャンプさせる際のジャンプ先アドレスとして利用される。ジャンプ系のマイクロ命令としては、データ

部の示すジャンプ先アドレスへ無条件でジャンプさせるJUMP命令、条件付きでジャンプさせるJPC.Z命令、JPC.F命令がある。この内、JPC.Z命令はフレームカウンタ(615)のカウント値がゼロであることを示す信号(l_{15})が有効であることをジャンプ条件とし、JPC.F命令は、フラグレジスタ(616)がセット状態であることを示す信号(l_{16})が有効であることをジャンプ条件としている。

RET命令の実行中は、セレクト(631)により、リターンアドレスカウンタ(633)の設定値が選択され、同時にロードパルス(l_{13})がアドレスカウンタ(630)に与えられることによって、ジャンプ系命令と同様の動作をする。

(634)はホストCPU(1)から与えられるアドレス(d_{10})とアドレスカウンタ(630)のカウント値を2系統の入力とし、カウント許可信号発生回路(611)が出力するアドレス選択信号(l_{11})によって、2入力を選択して、マイクロプログラムメモリ(603)に対してアドレス(d_{11})を出力

するセクタである。画像処理のためマイクロプログラムを読み出し中の場合はアドレス選択信号(ℓ_{11})の指示によってアドレスカウンタ(630)のカウンタ値が選択され、前記処理中以外の場合はホストCPU(1)から与えられるアドレス(ℓ_{12})が選択され、マイクロプログラムメモリ(603)をホストCPU(1)がアクセスすることが可能になっている。

(iv) カウント許可信号発生回路(611)の構成
第6図はカウント許可信号発生回路(611)の構成を示すブロック図である。前述のようにマイクロプログラムの読み出しはホストCPU(1)から制御回路(6)に対してRUNコマンドが与えられることによって起動されるが、具体的には本回路にて実現される。ホストCPU(1)からRUNコマンドが発せられると、コマンドデコード(601)にてデコードされ、デコード信号(h_0)がフリップフロップ(F F 1)のプリセット入力(以下PR入力という)に入力され、フリップフロップ(F F 1)がセットされる。フリップフロップ(F F 1)

のQ出力は、アドレス選択信号(ℓ_{11})としてマイクロプログラムメモリ読み出しアドレス発生回路(610)に入力される。同時にフリップフロップ(F F 1)のQ出力は、一画面の走査周期の終了を示すタイミング信号(t_1)とアンドゲート(AND 1)にてゲートされ、フリップフロップ(F F 2)のPR入力信号となる。フリップフロップ(F F 2)のQ出力はオアゲート(OR 3)にて反転されアドレスカウンタ許可信号(ℓ_{10})となり、マイクロプログラムメモリ読み出しアドレス発生回路(610)に入力される。ロードパルス発生回路(613)の発生するロードパルス(ℓ_{13})が有効の場合にもアドレスカウンタ(630)をカウント許可状態にするためにオアゲート(OR 3)にてアドレスカウンタ許可信号(ℓ_{10})を出力する。

このように、本回路では被制御ハードウェア側の動作タイミングとは非同期にホストCPU(1)から発生する処理開始要求(RUNコマンド)を一旦フリップフロップ(F F 1)で認識しておいた後、タイミング信号(t_1)に同期させてフリップフロ

ップ(F F 2)をセットすることにより、マイクロプログラムの読み出しを被制御ハードウェア側の動作タイミングに合わせている。アドレスカウンタ許可信号(ℓ_{10})が有効になると、マイクロプログラムメモリ読み出しアドレス発生回路(610)の中のアドレスカウンタ(630)がカウント許可状態となり、タイミング信号(t_1)によってアドレスカウンタを開始し、マイクロプログラムメモリ(603)に読み出しアドレスが与えられ、マイクロプログラムが読み出される。読み出し中のマイクロプログラムからEOPR命令がマイクロ命令デコード(612)にて検出されると、有効になったデコード信号(a_1)がオアゲート(OR 2)を介してフリップフロップ(F F 2)のクリア入力(以下CLR入力という)に入力され、フリップフロップ(F F 2)がリセットされ、アドレスカウンタ許可信号(ℓ_{10})が無効になり、アドレスカウンタが停止する。同時にマイクロプログラムメモリ(603)の出力データ(マイクロ命令)もEOPR命令のまま固定される。

被制御ハードウェア側では、読み出されたマイクロ命令のうち各回路において必要とするものをデコードし、所定の動作条件などが設定される。アドレスカウンタが停止した状態で再びタイミング信号(t_1)が入力されると、フリップフロップ(F F 2)のPR入力が有効になりフリップフロップ(F F 2)はセットされる。これによって再びアドレスカウンタ許可信号(ℓ_{10})が有効になり、アドレスカウンタが再開される。

読み出されるマイクロプログラムからEXIT命令がマイクロ命令デコード(612)にて検出されると、有効になったデコード信号(a_2)によってフリップフロップ(F F 1)及び(F F 2)がリセットされ、アドレスカウンタ許可信号(ℓ_{10})が無効になると共にアドレス選択信号(ℓ_{11})が反転し、その後は新しく入力されるタイミング信号(t_1)によってもフリップフロップ(F F 2)がセットされなくなる。

EXIT命令による上記動作と同様の動作はホストCPUバス(ℓ_1)から与えられるイニシャルリ

セット信号(ℓ_1)又はホストCPU(1)から与えられるENDコマンド(hc_2)によっても実現できる。この内、イニシャルリセット信号(ℓ_1)による場合は、ホストCPU(1)がRUNコマンドを発する以前の制御回路(6)の初期状態を設定する場合であって、ENDコマンド(hc_2)は、何らかのアクシデントによって発生したマイクロプログラムの暴走状態から強制的に脱出する場合に利用される。

以上のようにマイクロプログラムは、ホストCPU(1)からRUNコマンドが発せられた後、次の新しいフレームの先頭より読み出しが開始され、EOF命令があれば読み出しが一旦停止し、次のフレームの先頭より読み出しが再開され、EXIT命令によって読み出しが終了する。

マイクロプログラムからEXIT命令が読み出されるとマイクロプログラムの読み出しが終了されると共に、EXIT命令のマイクロ命令デコード(612)によるデコード信号(m_2)によって、読み出し終了フラグ(614)がセットされる。読み

出し終了フラグ(614)の状態はホストCPU(1)からのREFコマンド(読み出し終了フラグの状態を調べるためのホストコマンド)がコマンドデコード(601)にてデコードされ、デコード信号(hc_1)が有効になり、バスバッファ(617)が出力状態となることにより、バスターンシーバ(618)を介して、ホストCPU(1)から検出される。ホストCPU(1)は、読み出し終了フラグ(614)の状態を調べることによって、現在、制御回路(6)が処理中であるか、それとも、処理開始要求を受付可能な状態であるかを認識できる。つまり、ホストCPU(1)が、処理開始要求を発する前に読み出し終了フラグ(614)がセット状態であれば制御回路(6)は処理開始要求の受付が可能であり、リセット状態であれば処理開始要求の受付は不可であって、ホストCPU(1)は読み出し終了フラグ(614)の状態がセット状態に変化するまで待っていればよい。読み出し終了フラグ(614)がセット状態であり、ホストCPU(1)が処理開始要求を発する際には、RUNコマン

ドを実行する前に、REFコマンド(読み出し終了フラグをリセットするためのホストコマンド)を与え、そのデコード信号(hc_1)により読み出し終了フラグ(614)を予めリセット状態に戻しておく必要がある。

第7図は、ホストCPU(1)が処理要求を受け付け、マイクロプログラムの読み出しが終了するまでの経過を示すフローチャートである。

(*)ロードパルス発生回路(613)の構成

第8図はロードパルス発生回路(613)の構成を示すブロック図である。本回路はジャンプ系のマイクロ命令、つまり、JUMP命令、JPC、Z命令、JPC、P命令とサブルーチンからのリターンのためのRET命令がマイクロ命令デコード(612)にてデコードされた際に、各マイクロ命令のデータ部が示すジャンプ先アドレス又はリターン先アドレスをマイクロプログラムメモリ読み出しアドレス発生回路(610)のアドレスカウンタ(630)に設定するために必要なロードパルス(ℓ_{rs})を発生するための回路である。図中、(m_1)

、(m_2)、(m_3)、(m_7)はそれぞれRET命令、JUMP命令、JPC、Z、JPC、P命令がマイクロ命令デコード(612)にてデコードされた際に出力されるデコード信号である。(ℓ_1)はフレームカウンタ(615)のカウント値がゼロになった場合に出力される条件信号、(ℓ_{rs})はフラグレジスタ(616)がセット状態である場合に出力される条件信号であり、それぞれアンドゲート(AND2)、(AND3)にてデコード信号(m_2)、(m_7)との間で論理積がとられており、条件付ジャンプ命令における条件成立の判定が行われている。(hc_2)はホストCPU(1)がSSAコマンドを発した場合にコマンドデコード(601)が出力するデコード信号であるが、アドレスカウンタ(630)へのクロック入力(タイミング信号(i_1))と非同期の信号であるため、そのままアドレスカウンタ(630)に対するロードパルスとしては利用できない。そのため本回路はまずSSAコマンドのデコード信号(hc_2)にてフリップフロップ(FF3)をセットし、フリップフロップ(FF3)のセット状態を、アド

レスカウンタ(630)のクロック信号としても利用しているタイミング信号(t_1)をトリガとしてフリップフロップ(F F 4)で検出し、フリップフロップ(F F 4)のQ出力をロードパルスとして利用できるようにしている。またフリップフロップ(F F 4)のQ出力にてフリップフロップ(F F 3)をリセットすることにより、続くタイミング信号(t_1)にてフリップフロップ(F F 4)の状態が反転するようにしており、S S A コマンドによって出力されるロードパルスの中がタイミング信号(t_1)の1周期と等しくなるようになっている。このようにして本来アドレスカウンタ(630)のクロック入力とは非同期で発生されるS S A コマンドによってスタートアドレスの設定を可能にしている。フリップフロップ(F F 4)のQ出力、デコード信号(m_4)及び(m_5)、アンドゲート(A N D 2)、(A N D 3)の出力は、オアゲート(O R 4)にてまとめられ、ロードパルス(l_{23})として前記マイクロプログラムメモリ読み出しアドレス発生回路(610)に入力される。

のデコード信号(m_4)が接続されており、フラグレジスタ(616)をリセット状態にすることができる。

このように、フラグレジスタ(616)はホストCPU(1)からの状態設定とマイクロ命令によるリセットが可能であり、かつ、前述のようにマイクロ命令のうち、条件付きジャンプ命令J P C、Fの条件として利用可能である。これを利用してマイクロプログラム内でJ P C、F命令を分岐点とするループを作り、ホストCPU(1)の制御によってループを脱出し、マイクロプログラムの別領域へ制御を移すことが可能になる。マイクロプログラム内で再びJ P C、F命令を利用する場合、R、F L G命令にて、フラグレジスタ(616)をリセット状態に戻しておけばよい。

(vi) フレームカウンタ(615)の使用方法

フレームカウンタ(615)は初期値設定が可能なダウンカウンタである。初期値設定はホストCPU(1)からのS F C コマンド(フレームカウンタの初期値を設定するためのホストコマンド)、

次に、マイクロプログラミングに用いて有用なフラグレジスタ(616)、フレームカウンタ(615)、及び、サブルーチンの使用方法について説明する。

(vi) フラグレジスタ(616)の使用方法

フラグレジスタ(616)の状態設定はホストCPU(1)からのS F R コマンド(フラグレジスタの状態を設定するためのホストコマンド)がコマンドデコード(601)にてデコードされた場合と、マイクロ命令のうち、R、F L G命令(フラグをリセットするためのマイクロ命令)がマイクロ命令デコード(612)にてデコードされた場合になされる。フラグレジスタ(616)はクリア入力付きのDタイプフリップフロップであって、S F R コマンドのデコード信号($h c_5$)によってトリガされ、その時のホストCPUバス(l_1)からのデータ信号(l_{14})の成るビット(例えば最下位ビット)の信号によって状態を設定される。例えば最下位ビットが"0"であればリセット状態、"1"であればセット状態になる。クリア入力へは、R、F L G命令

又はマイクロプログラムのS、F R C命令(フレームカウンタの初期値を設定するためのマイクロ命令)によってなされる。ホストCPU(1)からのS F C コマンドがコマンドデコード(601)にてデコードされると、デコード信号($h c_4$)が出力され、ホストCPUバス(l_1)からのデータ(l_{14})がフレームカウンタ(615)に設定される。また、マイクロ命令デコード(612)にてS、F R C命令がデコードされると、デコード信号(m_5)が出力され、マイクロ命令のデータ部分(l_{23})がフレームカウンタ(615)に設定される。マイクロプログラム中のD O W N、F C命令(フレームカウンタをカウントダウンするためのマイクロ命令)がマイクロ命令デコード(612)にてデコードされ、デコード信号(m_5)が出力されると、フレームカウンタ(615)はカウントダウンされる。フレームカウンタ(615)のカウントダウンが進み、カウント値がゼロになると、信号ライン(l_{14})にてロードパルス発生回路(613)に知らせる。前述のように信号ライン(l_{14})は、マイクロ命令のうち、

条件付ジャンプ命令(J P C . Z 命令)の条件として利用可能である。したがって、S F C 命令或いはS . F R C 命令によって予めフレームカウンタ(615)に初期値を設定しておき、マイクロプログラム内で、J P C . Z 命令を分岐点とするループを作り、このループ内にD O W N . F C 命令を入れておけば、初期値に応じた所定回数同じマイクロプログラムを読み出すことが可能になる。特にループ内にD O W N . F C 命令と共にE O F R 命令(そのフレームでのマイクロ命令の読み出しを一時中断させる命令)を挿入しておけば、ループ1回当たり、1フレームの時間の処理が可能になるので、フレームカウンタ(615)への初期値の設定は1フレーム単位の処理回数を設定することになる。これを利用して、同一処理を指定したフレーム数だけ繰り返し処理することが可能になる。例えば時間的にランダムなノイズを含む8ビットのデータ長の画像データを256フレームに亘って積算入力し最後に16ビットのデータ長となった画像データの上位バイトを時間的ノイズ

を軽減した8ビット長の画像データとして得るような場合に有効に利用できる(256回積算すると、8ビットデータは8回桁上げされ、16ビットデータとなる。その上位バイトはノイズが積分され、S/Nが向上した画像データになっている。これは一般によく使われる技術である。)

(四) サブルーチンコールとリターンする方法

第9図は、本発明によるマイクロプログラム内のサブルーチンコール及びサブルーチンからメインルーチンへのリターンの方法の説明図である。前述のようにS . R A R 命令によってマイクロプログラムメモリ読み出しアドレス発生回路(610)内のリターンアドレスレジスタ(633)にリターンアドレスが予め設定された状態でR E T 命令が実行されると、リターンアドレスレジスタ(633)内のリターンアドレスがアドレスカウンタ(630)に設定されるためサブルーチンを脱出することが可能である。このことを利用して第9図のように、X番地にあるS . R A R 命令にてリターンアドレスレジスタ(633)にサブルーチンから

のリターンアドレスとなる値(X+2)を設定しておき、(X+1)番地にあるJ U M P 命令にてY番地にあるサブルーチンへジャンプし、サブルーチンへ制御を移し、サブルーチンの最終命令であるR E T 命令にて、サブルーチンへジャンプした番地(X+1)の次の番地(X+3)へリターンすることができる。つまり、連続するS . R A R 命令とJ U M P 命令とを組み合わせることによってサブルーチンコール命令を構成していることになる。このように本実施例では、マイクロプログラミングにおいて単なる無条件ジャンプ命令、条件付ジャンプ命令に加えてサブルーチンコールを実行することが可能になっている。

(発明の効果)

以上詳述したように本発明によれば、一画面分の画像データの走査の周期を形成し、その1周期内で画像データ取り扱い期間を指定するタイミング信号を発生するタイミング発生回路を設け、このタイミング信号を用いて制御回路が1周期内の画像データ取り扱い期間以外の空き期間を知り、

その空き期間内に、続く画像データ取り扱い期間のためのハードウェア部分に対する動作条件や初期値の設定動作を行うことにより、ハードウェア部分の動作タイミングと制御回路による設定動作のタイミングとの間で同期をとることを可能としたものであり、設定動作のための無駄時間がなくなり、画像処理全体にわたる処理時間を短縮することが可能になるという効果がある。

4. 図面の簡単な説明

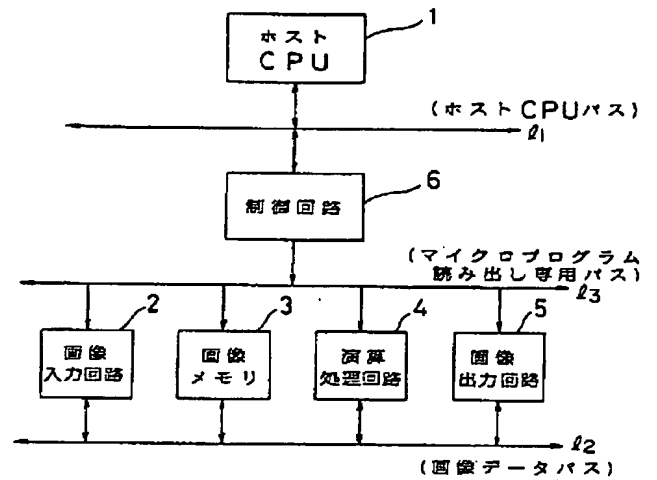
第1図(a)は本発明の基本構成を示すブロック図、第1図(b)は同上の動作説明図、第2図(a)乃至(c)は本発明の一実施例に係る画像処理装置の概略構成を示すブロック図、第3図は同上に用いる制御回路の詳細な構成を示すブロック図、第4図は同上に用いるマイクロプログラムメモリの内容の一例を示す説明図、第5図は同上に用いるマイクロプログラムメモリ読み出しアドレス発生回路を示すブロック図、第6図は同上に用いるカウンタ許可信号発生回路を示すブロック図、第7図は同上のマイクロプログラム読み出しの動作を説

明するためのフローチャート、第 8 図は同上に用いるロードパルス発生回路を示すブロック図、第 9 図は同上に用いるマイクロプログラムのサブルーチンコールの方法を説明するための説明図、第 10 図は従来例のブロック図、第 11 図(a)(b)は他の従来例のブロック図である。

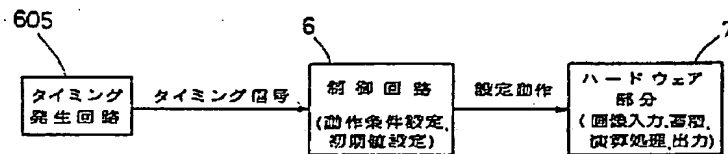
(6)は制御回路、(605)はタイミング発生回路、(7)はハードウェア部分、(1)はタイミング信号である。

代理人 井理士 倉田 政彦

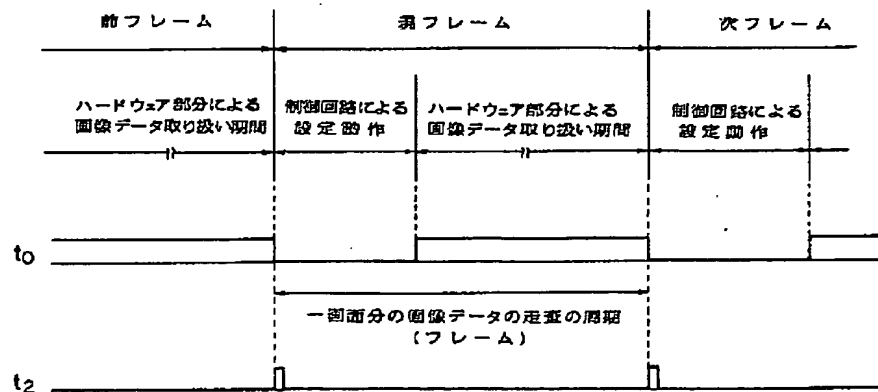
第 2 図 (a)



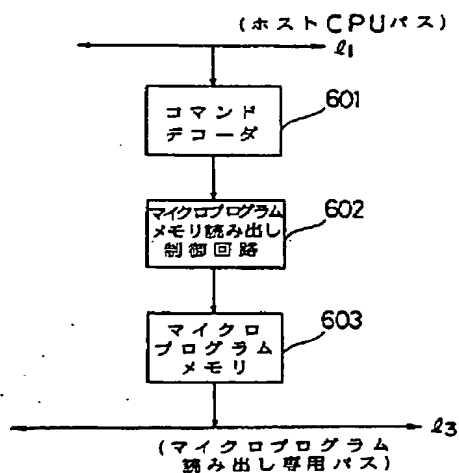
第 1 図 (a)



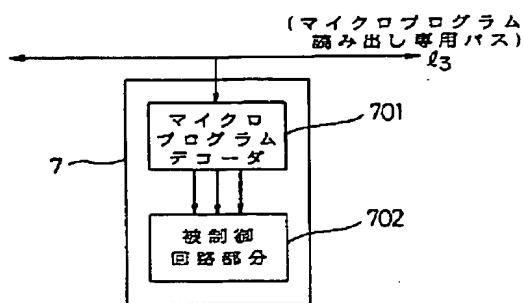
第 1 図 (b)



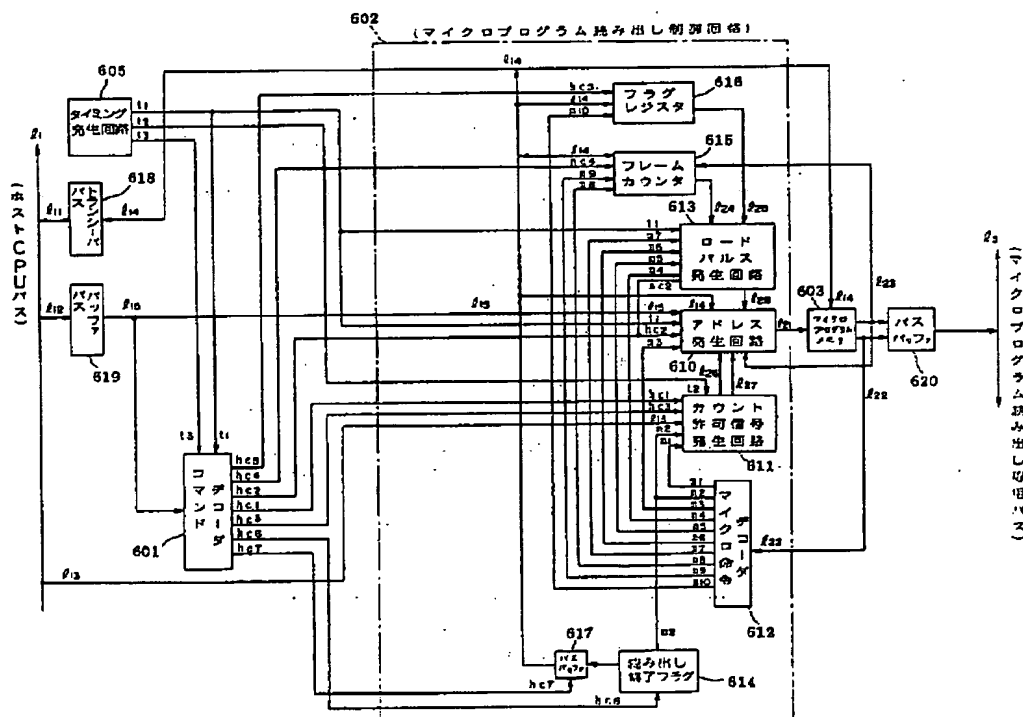
第 2 図 (b)



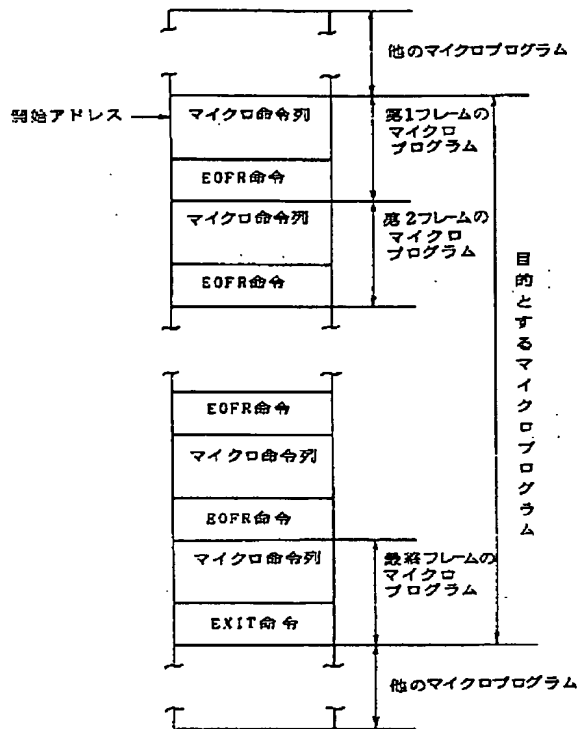
第 2 図 (c)



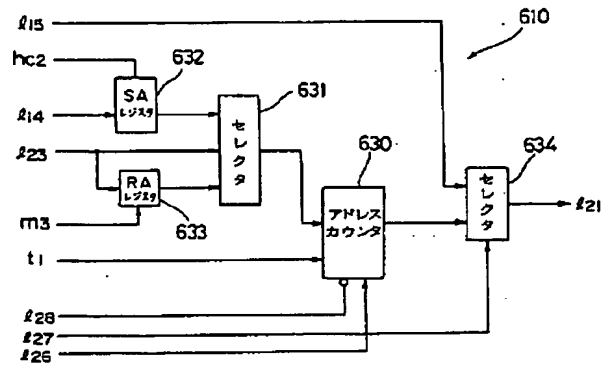
第 3 図



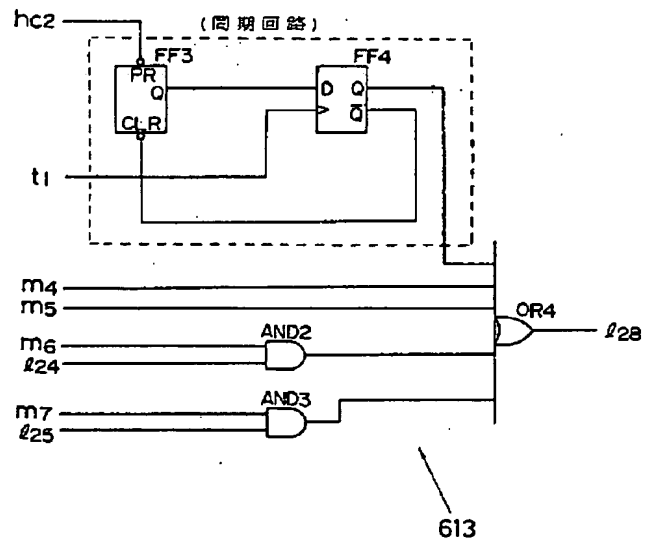
第 4 図



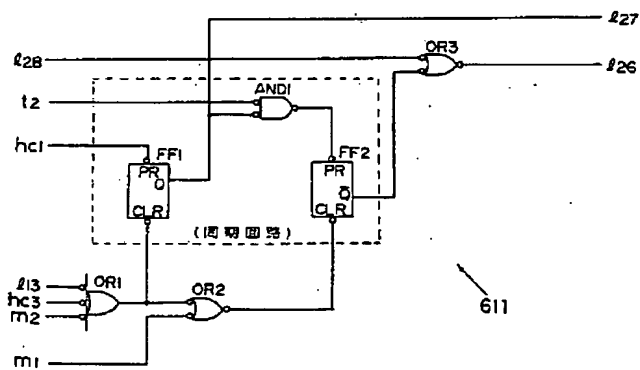
第 5 図



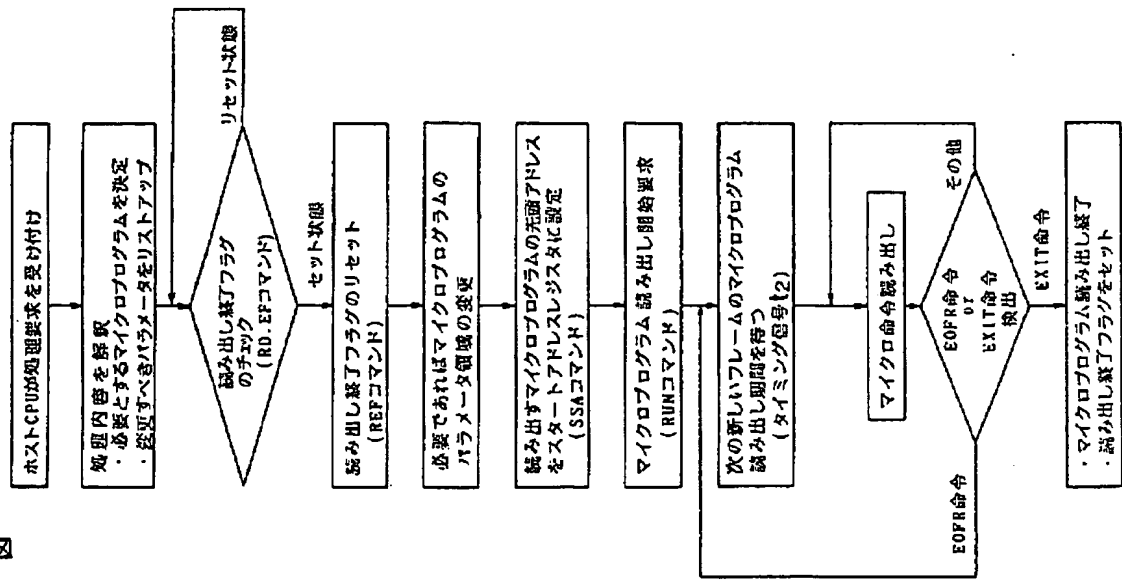
第 8 図



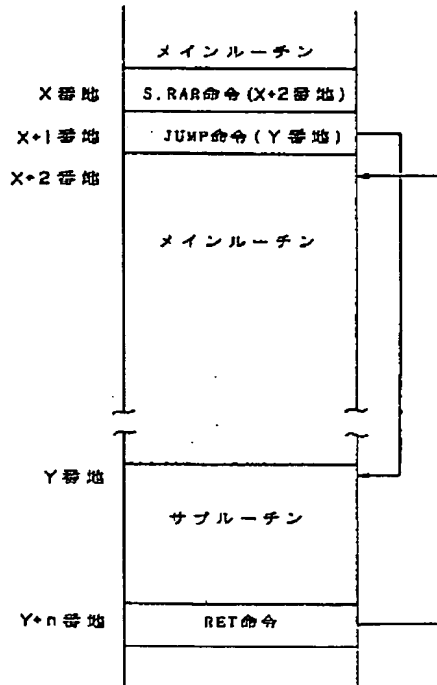
第 6 図



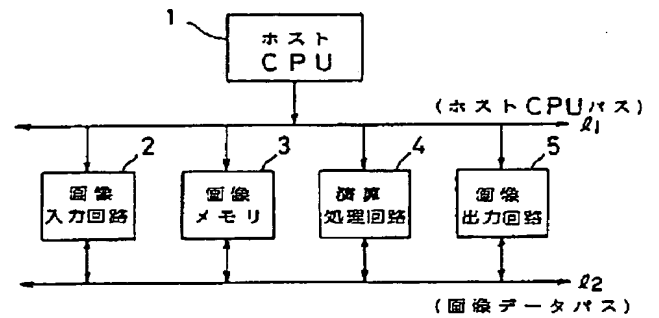
第 7 図



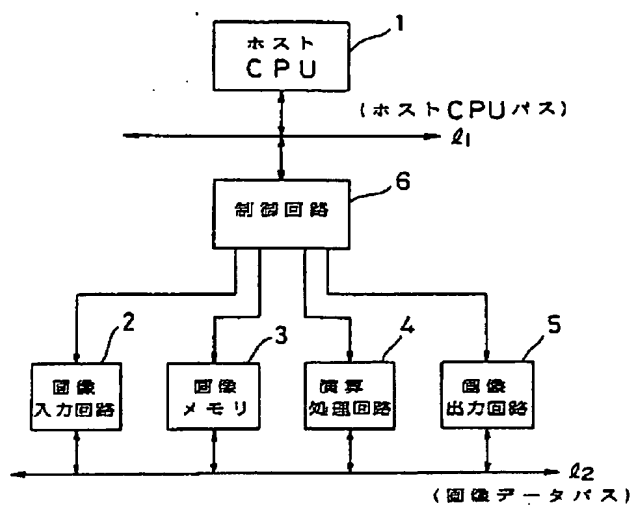
第 9 図



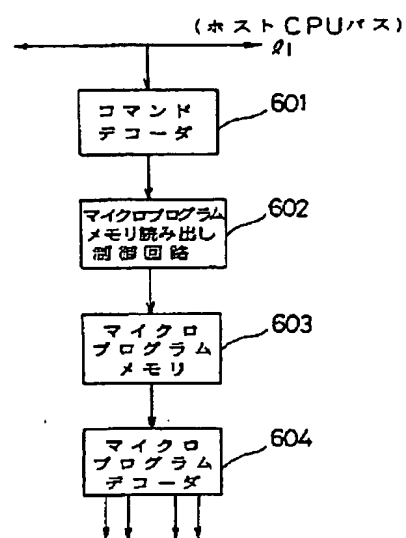
第 10 図



第 11 図 (a)



第 11 図 (b)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.